



Europäisches
Patentamt

European
Patent Office

REC'D PCT/PCTO 17 MAR 2005
Office européen
des brevets

REC'D 20 OCT 2003

WIPO PCT

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02292279.3

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

Der Präsident des Europäischen Patentamts;
im Auftrag
For the President of the European Patent Office
Le Président de l'Office européen des brevets
p.o.

R C van Dijk

BEST AVAILABLE COPY

Anmeldung Nr:
Application no.: 02292279.3
Demande no:

Anmelddatag:
Date of filing: 17.09.02
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

Schlumberger Systèmes
50, avenue Jean Jaurès
92120 Montrouge
FRANCE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
(If no title is shown please refer to the description.
(Si aucun titre n'est indiqué se référer à la description.)

Hybrid chip

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H01L23/00

Am Anmelddatag benannte Vertragstaaten/Contracting states designated at date of
filling/Etats contractants désignés lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL PT SE SK TR

BEST AVAILABLE COPY

Idées brevets :

Module hybride

Dans le domaine de la smart card ; association de 2 puces l'une sur l'autre de taille différente. Association d'application ; SIM + porte monnaie ou control d'accès ou transport.....

1 ere méthode.

La première puce, la plus importante en taille est monter sur la bobine de module (et câblé ?), cette bande est repassée une deuxième fois pour monter la plus petite puce sur la première.
Le cablage est finalisé ou réalisé dans sa globalité.

- + ensemble de l'outil disponible.
- + rapidité de mise en œuvre
- + peu coûteux (temps machine)

- réalisation de tranche de 80 à 90 μ m,
- épaisseur de colle supplémentaire pour la deuxième puce - problème hauteur module ?
revoir 'l'enrobage de la puce'

(Voir collage de la deuxième puce au niveau du wafer/ avantage du contrôle de la colle par spin coating sur la tranche – dans ce cas peut être une 10aine de μ m)

2 eme méthode

Deuxième puce en flip chip sur la première.

- + gain en hauteur de boucle
- + mise en œuvre au niveau du wafer
- re routage des pistes à l'interface
- montage flip chip (machine)
- (brevet Infineon ?)

3 eme méthode (2 possibilités au moins !)

Insertion d'une puce de petite taille dans le capot Sishell.
La place de la puce est prégravée dans le capot.

Cette technique permet après scellement du capot de réduire l'épaisseur de la plus grande puce à une épaisseur de 40 à 50 μm sans dommage et avec une manipulation du wafer comparable aux wafers Sishellisés.

L'épaisseur de la deuxième puce est de 140 μm (et non plus de 90 μm comme dans les autres cas.)

Le report de la puce peut être fait par les machines ESSEC actuelles après montage de la puce Sishellisée sur la 'bande module'. Le cablage est réalisé globalement.

Ou report de la puce à l'échelle du wafer - avant ou après amincissement -

On peut envisager de monter cette puce en FC dans la cavité avec un re routage à l'interface et sortie des fils par des vias usinés dans le capot (// à ceux de la puce sous-jacente).

Par rapport à un montage 'sécuritaire', le nombre de masque est réduit à 2 maximum (un peut être juste flashé)

Le PI peut être moins performant et surtout notre bottle neck sur la durée du scellement réduit de 30h à 2h (même à revoir avec d'autre type de résine)

- + réalisation possible très rapidement
- + solidité du dispositif
- + manipulation de plaque d'épaisseur standard

- Coût ? (même pas sûre)

4eme méthode :

Où le capot Silicium d'un dispositif de type Sishell est remplacé par une couche organique épaisse photosensible.

- + même avantage que Sishell (amincissement de la plus grande puce)
- + Coût / Silicium de Sishell (à vérifier)
- + aspect mécanique intéressant
- + montage en FC facilité par rapport à Sishell silicium (planarisation des pistes interfaces)

- développement ou collaboration (des produits avec polymères épais existent notamment dans le biomédicale)

BEST AVAILABLE COPY

Revendication

1. Capot en silicium caractérisé en ce qu'il comprend une couche organique.

BEST AVAILABLE COPY